

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EP0. All rts. reserv.

14337073

Basic Patent (No,Kind,Date): JP 10112512 A2 980428 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON STEEL SEMICONDUCTOR CO

Author (Inventor): TAKI MASUYUKI

IPC: *H01L-021/8247; H01L-029/788; H01L-029/792; H01L-021/768; H01L-027/115

CA Abstract No: *128(26)329841C; 128(26)329841C

Derwent WPI Acc No: *G 98-308317; G 98-308317

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 10112512	A2	980428	JP 96281665	A	961004 (BASIC)

Priority Data (No,Kind,Date):

JP 96281665 A 961004

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05829412 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 10-112512 [JP 10112512 A]

PUBLISHED: April 28, 1998 (19980428)

INVENTOR(s): TAKI MASUYUKI

APPLICANT(s): NITTETSU SEMICONDUCTOR KK [000000] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-281665 [JP 96281665]

FILED: October 04, 1996 (19961004)

INTL CLASS: [6] H01L-021/8247; H01L-029/788; H01L-029/792; H01L-021/768; H01L-027/115

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R044 (CHEMISTRY -- Photosensitive Resins); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To relax the potential concentration by forming a resist film on an Si substrate having protrusions and etching the resist back with a developer liquid to avoid forming local thin portions of a layer insulation film.

SOLUTION: On an Si substrate 1, a first gate oxide film 2 is formed, a first polysilicon film 3 is formed, patterned and oxidized to form an oxide film 4, and the entire surface is covered with a second polysilicon film 5 and dry etched to form a pattern of this film 5. A positive type photoresist film 6 is applied to the entire surface exposure. Developing with an alkali water solution uniformly reduces the thickness of the resist film 6 to expose only protrusions of the second polysilicon film 5. Only the protrusions are selectively etched to moderate the protrusion shape, thereby blocking the layer insulation film from reducing its thickness.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112512

(43)公開日 平成10年(1998) 4月28日

(51)Int. Cl. ⁶

識別記号

F I

H01L 21/8247

H01L 29/78

371

29/788

21/90

W

29/792

27/10

434

21/768

27/115

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21)出願番号 特願平8-281665

(22)出願日 平成 8 年(1996)10月 4 日

(71)出願人 000128049

日鉄セミコンダクター株式会社

千葉県館山市山本1580番地

(72)発明者 滝 益志

千葉県館山市山本1580番地 日鉄セミコン

ダクター株式会社内

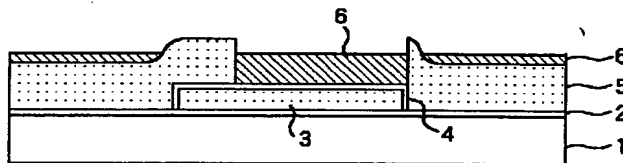
(74)代理人 弁理士 田北 嵩晴

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 第1のポリシリコン膜から成るパターン形成の際のアライメントズレにより局所的に突起形状が形成されて、層間絶縁膜の被覆形成を行った際には層間絶縁膜を介して被覆形成が成される金属膜との層間絶縁膜の膜厚が局所的に薄膜化して局所的電界集中が生じて耐圧低下が生じるのを防ぐこと。

【解決手段】 第2のポリシリコン膜5のパターン形成の際にアライメントズレにより生じた第2のポリシリコン膜5による突起形状を有したシリコン基板1にレジスト膜6を塗布形成した後、現像液を用いる事でレジスト膜6のエッチバック処理を行う事が可能となる。



【特許請求の範囲】

【請求項 1】 半導体装置のシリコン基板上に第 1 のゲート酸化膜を形成した後、該第 1 のゲート酸化膜上に第 1 の電極層としてポリシリコン膜をパターンニング形成した後、該第 1 のポリシリコン膜の上面、側面を酸化させる事で絶縁膜形成を行う工程と、

第 2 の電極層としてポリシリコン膜をシリコン基板表面全面に該第 1 のポリシリコン膜からなるパターンを覆う様に被覆形成を行った後、第 2 のポリシリコン膜をパターンニング形成を行う事で第 1 のポリシリコン膜のパターン上に開口部を形成する工程と、

レジストを全面塗布形成する事でシリコン基板の最上面を面一化するか、もしくは第 2 のポリシリコン膜の突起領域が薄いレジスト膜厚にて形成される膜厚にてレジスト膜形成が成される工程と、

該レジスト膜塗布形成の後に全面露光を行い、引き続いて現像を行う事で第 2 のポリシリコン膜の突起部のみを選択的に露出せしめる工程と、

露出せしめられた第 2 のポリシリコン膜をエッチング、除去する事で第 2 のポリシリコン膜の突起形状の緩和、もしくは除去を行う工程と、

層間絶縁膜を被覆形成した後に平坦化の熱処理を施し、続いて金属膜からなる配線層の被覆形成を行う事の特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載のレジスト膜としてポジ型レジスト膜を用いた場合には全面露光を行う際の露光量、ならびに現像時間の双方、もしくは何れか一方の条件にてレジスト残膜厚の制御を行い、ネガ型レジスト膜を用いた際には未露光の状態にて現像時間のみにてレジスト残膜厚の制御を行う事の特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法に係わり、特に 2 層ポリシリコン構造を有する半導体素子に於ける第 2 層ポリシリコン膜と、層間絶縁膜を介して上層に位置する配線層との層間絶縁耐性を向上させる方法に関する。

【0002】

【従来の技術】第 1 の従来方法による 2 層ポリシリコン構造の半導体素子の製造方法を図 10、11、12 を用いて説明する。

【0003】図 10 では、シリコン基板 101 上に第 1 のゲート酸化膜 102 を形成した後、第 1 のポリシリコン膜 103 を形成した後、公知のフォトリソグラフィ技術とドライエッチング技術により第 1 のポリシリコン膜 103 からなるパターン形成を行う。続いて、第 1 のポリシリコン膜 103 と、上層に形成を行う第 2 のポリシリコン膜との分離絶縁を目的として第 1 のポリシリコン膜 103 を酸化させる事で酸化膜 104 形成を行う。

【0004】図 11 では、第 2 のポリシリコン膜 105 を被覆形成した後、同じく公知のフォトリソグラフィ技術とドライエッチング技術により第 2 のポリシリコン膜 105 からなるパターン形成を行う。

【0005】図 12 では、層間絶縁膜 109 として例えば BPSG 膜を被覆形成する。該 BPSG 膜は、高温熱処理を施す事で流動性を発する特性を有しており、該流動を生じせしめる事で平坦化を図る事を目的とする。続いて、Al、Al-Si 等からなる金属配線層 110 を被覆形成を行う方法が採られていた。

【0006】しかし、上記第 1 の従来技術に於いては、図 11 に於ける第 2 のポリシリコン膜 105 のフォトリソグラフィに於けるアライメントズレにより第 2 のポリシリコン膜 105 に局所的な突起形状 A が生じる事により、図 12 における第 2 のポリシリコン膜 105 と金属配線層 110 との層間絶縁膜 109 の膜厚 t_1 が薄膜化する事により層間絶縁膜耐性が低下する問題を抱えていた。

【0007】依って、前記課題解決に鑑み、特公平 7-101690 号に於いては第 2 のポリシリコン膜の突起を除去する事により解決を図る方法が提起されており、図 13 から図 18 の工程毎の断面構造図に示すと共に以下に説明する。

【0008】図 13 では、シリコン基板 201 上に第 1 のゲート酸化膜 202 を形成した後、第 1 のポリシリコン膜 203 を形成した後、公知のフォトリソグラフィ技術とドライエッチング技術により第 1 のポリシリコン膜 203 からなるパターン形成を行う。続いて、第 1 のポリシリコン膜 203 と、上層に形成を行う第 2 のポリシリコン膜との分離絶縁を目的として第 1 のポリシリコン膜 203 を酸化させる事で酸化膜 204 形成を行う。

【0009】図 14 では、第 2 のポリシリコン膜 205 の被覆形成を行う。

【0010】図 15 では、公知のフォトリソグラフィ技術とドライエッチング技術により第 2 のポリシリコン膜 205 からなるパターン形成を行う。

【0011】図 16 では、フォトレジスト膜 206 を塗布形成を行う事で最上層を面一化した断面構造を採る。

【0012】図 17 では、フォトレジスト膜 203 と第 2 のポリシリコン膜 205 層のエッチング速度を同一としてエッチバックする事で第 2 のポリシリコン膜に生じた突起部をエッチングする。

【0013】図 18 では、層間絶縁膜 209 として例えば BPSG 膜を被覆形成する。該 BPSG 膜は、高温熱処理を施す事で流動性を発する特性を有しており、該流動を生じせしめる事で平坦化を図る事を目的とする。続いて、Al、Al-Si 等からなる金属配線層 210 を被覆形成を行う方法が採られていた。

【0014】

【発明が解決しようとする課題】第 1 の従来技術に於い

ては、第1のポリシリコン膜から成るパターン形成の際のアライメントズレにより局所的に突起形状が形成される。該突起形状を有する構造上に層間絶縁膜の被覆形成を行った際には層間絶縁膜を介して被覆形成が成される金属膜との層間絶縁膜の膜厚が該突起部に於いて局所的に薄膜化する事により局所的電界集中が生じる為に耐圧低下、もしくは絶縁破壊が生じる事による製品信頼性低下が生じていた。

【0015】依って、上記第1の従来技術に於ける課題解決に鑑み、特公平7-101690号による第2の従来技術が提起されている。

【0016】しかし、該方法に於いてはレジスト膜と第1のポリシリコン膜を同一エッチング速度に保つ必要があり、エッチバック工程におけるプロセス条件に制約が生じると共にレジスト膜をエッチングする事によるレジスト膜からの炭素（カーボン）等の放出によりエッチングチャンバーの汚染等が加速される。

【0017】依って、装置クリーン度を確保する為には頻繁なるチャンバークリーニングが必要となり装置稼働率低下が生じる問題があった。

【0018】又、該汚染は処理するシリコン基板に対してパーティクルとして付着する事となり、処理製品の欠陥を引き起こす問題となっていた。

【0019】従って、本発明に於いては第1の従来技術、及び第2の従来技術の課題に鑑みてなされたものであり、上記課題解決を図る方法を提供するものである。

【0020】

【課題を解決するための手段】本発明に於いては前記課題に鑑みてなされたものであり、本発明による半導体装置の製造方法は、半導体装置のシリコン基板上に第1のゲート酸化膜を形成した後、該第1のゲート酸化膜上に第1の電極層としてポリシリコン膜をパターンニング形成した後、該第1のポリシリコン膜の上面、側面を酸化させる事で絶縁膜形成を行う工程と、第2の電極層としてポリシリコン膜をシリコン基板表面全面に該第1のポリシリコン膜からなるパターンを覆う様に被覆形成を行った後、第2のポリシリコン膜をパターンニング形成を行う事で第1のポリシリコン膜のパターン上に開口部を形成する工程と、レジストを全面塗布形成する事でシリコン基板の最上面を面一化するか、もしくは第2のポリシリコン膜の突起領域が薄いレジスト膜厚にて形成される膜厚にてレジスト膜形成が成される工程と、レジスト膜としてポジ型レジスト膜を用いた場合には全面露光を行う際の露光量、ならびに現像時間の双方、もしくは何れか一方の条件にてレジスト残膜厚の制御を行い、ネガ型レジスト膜を用いた際には未露光の状態にて現像時間のみにてレジスト残膜厚の制御を行う事で第2のポリシリコン膜の突起部のみを選択的に露出せしめる工程と、露出せしめられた第2のポリシリコン膜をエッチング、除去する事で第2のポリシリコン膜の突起形状の緩和、もし

くは除去を行う工程を有している事を特徴とし、上記工程により得られた第2のポリシリコン膜の突起領域に於ける層間絶縁膜の局所的薄膜化を阻止する事で局所的な電位集中緩和を図る事で絶縁耐性向上を可能とする半導体装置の製造方法である。

【0021】

【作用】本発明に依れば、第2のポリシリコン膜のパターン形成の際にアライメントズレにより生じた第2のポリシリコン膜による突起形状を有したシリコン基板にレジスト膜を塗布形成した後、現像液を用いる事でレジスト膜のエッチバック処理を行う事が可能となりパーティクル等の発生を阻止する事が可能となる。

【0022】又、突起部のみを選択的に露出せしめ、突起領域部以外をレジスト膜にて被覆保護した状態にてドライエッチングを行う事が可能となり、従来技術に於いて必要とされたレジスト膜とポリシリコン膜とのエッチング速度を合せ込む必要性が不要となるのみならず第2のポリシリコン膜のエッチングに関しては異方性ドライエッチング、等方性ドライエッチング、ならびにケミカルエッチングの何れを用いても良く工程自由度を向上させる事が可能となる。

【0023】

【発明の実施の形態】本発明による実施の形態を図1から図6の断面構造図に、図7、図8には本実施の形態に於けるレジスト膜塗布形成の2例を、図示には第2のポリシリコン膜エッチングの第2例に関する断面構造を示し、以下に各工程毎に於ける説明を記述する。

【0024】図1では、シリコン基板1上に第1のゲート酸化膜2をドライ酸化法、塩酸酸化法、パイロジェニック酸化法等を用いて150Åからなる酸化膜形成した後、第1のポリシリコン膜3として多結晶ポリシリコン膜を2000Åの膜厚にて形成する。

【0025】しかる後、フォトリソグラフィ技術とドライエッチング技術により第1のポリシリコン膜3からなるパターン形成を行う。

【0026】続いて、第1のポリシリコン膜3と、上層に形成を行う第2のポリシリコン膜との分離絶縁を目的として第1のポリシリコン膜3をドライ酸化法、塩酸酸化法、パイロジェニック酸化法等の何れかの酸化法を用いて第1のポリシリコン膜3を200Å程度の膜厚からなる酸化を行う事で酸化膜4形成を行う。

【0027】図2では、第2のポリシリコン膜5として第1のポリシリコン膜同様に多結晶ポリシリコン膜を3000Åの膜厚にて被覆形成を行う。続いて、フォトリソグラフィ技術とドライエッチング技術によりレジスト膜をエッチングマスクとしてドライエッチングを行う事で第2のポリシリコン膜5からなるパターン形成を行う。

【0028】図3では、ポジ型フォトレジスト膜6を1.2ミクロンの膜厚にてスピンコート法を用いる事で

塗布形成を行い、塗布レジスト膜の最上面を面一化した断面構造を採る。

【0029】図4では、露光を行った後にTMAH（テトラアンモニウムハイドロオキシド）濃度2.38%からなるアルカリ水溶液にて現像処理を施す事で塗布レジスト膜に対して均一なる膜減りを生じせしめる事で第2のポリシリコン膜の突起領域部のみを露出せしめる。

【0030】図5では、異方性を有するドライエッチングを行う事で該露出せしめられた突起領域部のみを選択的にエッチングを行い、レジスト最上面と面一化する
10 か、もしくはレジスト膜の最上面より高い位置までエッチングを施す事で突起形状の緩和を行う。

【0031】図6では、層間絶縁膜9として高温熱処理を施す事で流動性を発する特性を有しているBPSG膜を低圧化学気相成長法を用い、本実施の形態に於いては成膜温度を450℃に設定を行い、 $\text{SiH}_4/\text{PH}_3/\text{B}$
、 H_2 からなるガスを用いてB（ボロン）濃度=2.6%、P（リン）濃度=6.0%にて7000Åの膜厚にて形成する。

【0032】続いて、該BPSG膜を平坦化する事を目的とし設定温度=800℃、 O_2 雰囲気にて30分の熱処理を施した後、続いて設定温度=900℃に昇温を行い、 $\text{H}_2 + \text{O}_2$ を用いた水素を燃焼し、水を生成する事で
行うパイロジェニック酸化法を用いて熱処理によるリフロー処理を施した後、スパッタ法を用いてAl、Al-Si等からなる金属配線層10を1.0μmの膜厚にて被覆形成を行う。

【0033】この様に、本発明に依れば第2のポリシリコン膜のパターン形成に於けるフォトリソグラフィにて発生したアライメントズレにより生じた第2のポリシリコン膜の突起部のみを選択的にエッチング、除去させる
事で金属配線層との層間絶縁膜厚の薄膜化現象を阻止する事が可能となる。

【0034】又、レジスト膜のドライエッチングによるエッチバック等の工程を有していない為に汚染、パーティクル増加等の発生を抑制する事が可能となり、層間絶縁耐性の低下を防止する事無く、且つ信頼性の高い層間絶縁膜形成を図る事が出来る。

【0035】尚、本実施の形態の図3の工程では、図7
40 に示される如くポジ型フォトレジスト膜6を1.2ミクロンの膜厚にて塗布形成を行う事で塗布レジスト膜の最上面を面一化した断面構造としたが、図8に示される如く1.2ミクロン以下の膜厚、第2の実施の形態としては5000Åの膜厚にて塗布形成を行い、必ずしもレジスト膜最上面層を面一化せずとも同様の効果を得る事が可能となる。

【0036】又、レジスト膜6としては前記ポジ型レジスト膜に代わってネガ型レジスト膜を用いても同様の効果を得る事が可能となる。

【0037】次に、図4では所望するレジスト膜6を形成するにあたり現像液にて膜減りを生じせしめており、この際の膜減り量の管理として現像時間で調整する場合にはレジスト膜を完全感光する100%以上の露光量にて露光処理を行い、露光量にて調整する場合には現像時間を固定した上でレジスト膜をハーフ露光等の不完全露光を行う事で制御を行う。

【0038】但し、現像時間、露光量の双方にて調整を行っても同一制御が可能である事は申し述べるまでもない。

【0039】又、レジスト膜にポジ型レジストに代わってネガ型レジスト膜を用いた場合には露光処理は行わず、キシレンを用いた現像時間を制御する事で膜減り量を制御する。

【0040】次に、図5では選択的に露出せしめられた第2のポリシリコン膜の突起領域のエッチングに異方性を有するドライエッチングを用いた。

【0041】しかし、図9に示される如く $\text{CF}_4 + \text{O}_2$ 等を用いた等方特性を有するケミカルドライエッチング、もしくは薬液を用いたケミカルエッチングを用いても良く、この際には等方特性によりレジスト膜被覆箇所の界面に等方エッチングが施される事からレジスト最上面と面一化する必要が無い。

【0042】以上述べた何れかのレジスト膜塗布形成、現像によるレジスト膜減り処理、エッチングによる第2のポリシリコン膜の除去を行う事で突起形状の緩和を行う事で層間絶縁膜耐性を図る事が可能となる。

【0043】

【発明の効果】以上説明した様に、本発明に依れば第2のポリシリコン膜に生じた突起部を選択的に露出せしめ、突起部以外の領域をレジスト膜にて被覆保護する事が可能となり、該構造に於いてエッチングを行う事により突起形状の緩和、もしくは突起形状の除去を図る事により第2のポリシリコン膜に電圧印加を行った際の局所的な電位集中を緩和する事が可能となり層間絶縁耐性向上を図る事により信頼性の高い形成を図る事が出来る。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明する断面構造図である。

【図2】本発明の実施の形態を説明する断面構造図である。

【図3】本発明の実施の形態を説明する断面構造図である。

【図4】本発明の実施の形態を説明する断面構造図である。

【図5】本発明の実施の形態を説明する断面構造図である。

【図6】本発明の実施の形態を説明する断面構造図である。

【図 7】本発明の第 1 のレジスト膜塗布例を説明する断面構造図である。

【図 8】本発明の第 2 のレジスト膜塗布例を説明する断面構造図である。

【図 9】本発明の第 2 のエッチング例を説明する断面構造図（図 5 の第 1 例に相当）である。

【図 10】第 1 の従来技術を説明する断面構造図である。

【図 11】第 1 の従来技術を説明する断面構造図である。

【図 12】第 1 の従来技術を説明する断面構造図である。

【図 13】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

【図 14】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

【図 15】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

【図 16】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

【図 17】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

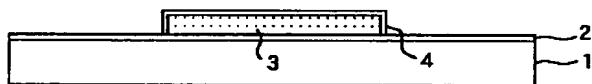
【図 18】第 2 の従来技術（特公平 7 - 101690 号）を説明する断面構造図である。

【符号の説明】

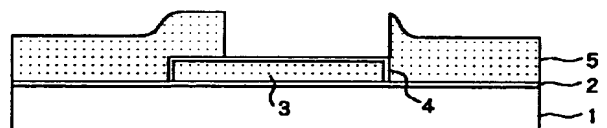
1 シリコン基板

- 2 ゲート酸化膜
- 3 第 1 のポリシリコン膜
- 4 酸化膜
- 5 第 2 のポリシリコン膜
- 6 レジスト
- 7 イオン注入
- 8 第 2 のポリシリコン膜を酸化した酸化膜
- 9 層間絶縁膜
- 10 配線金属膜
- 101 シリコン基板
- 102 ゲート酸化膜
- 103 第 1 のポリシリコン膜
- 104 酸化膜
- 105 第 2 のポリシリコン膜
- 109 層間絶縁膜
- 110 配線金属膜
- t1 層間絶縁膜薄膜箇所の膜厚
- 201 シリコン基板
- 202 ゲート酸化膜
- 203 第 1 のポリシリコン膜
- 204 酸化膜
- 205 第 2 のポリシリコン膜
- 206 レジスト
- 209 層間絶縁膜
- 210 配線金属膜

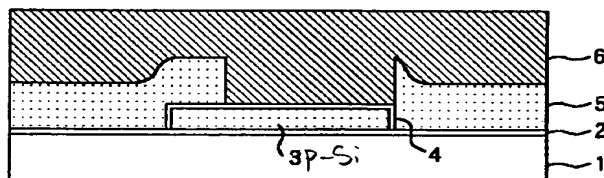
【図 1】



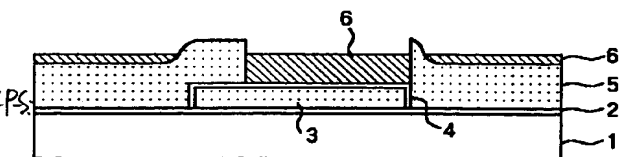
【図 2】



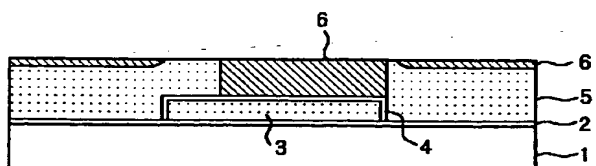
【図 3】



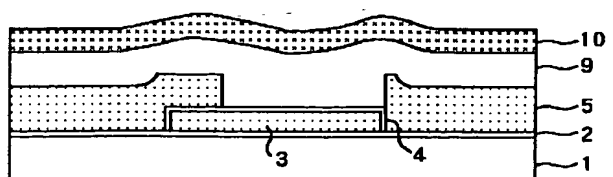
【図 4】



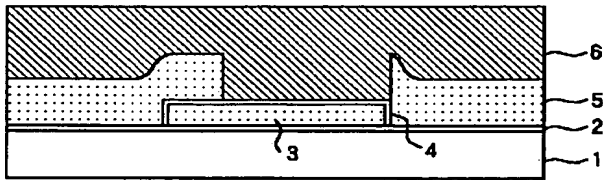
【図 5】



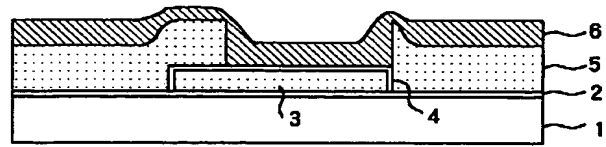
【図 6】



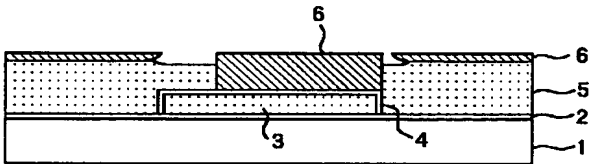
【図 7】



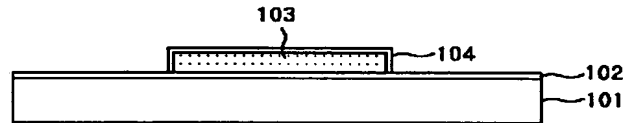
【図 8】



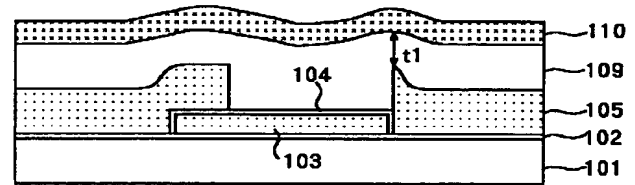
【図 9】



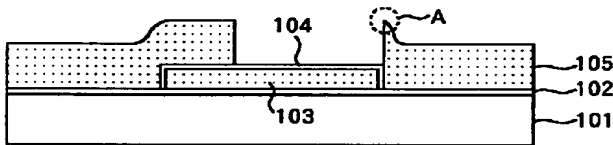
【図 10】



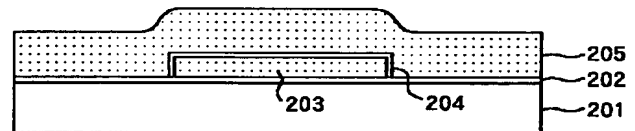
【図 12】



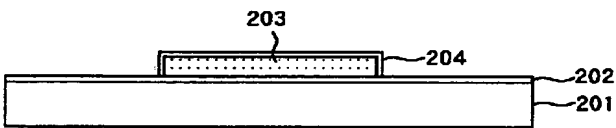
【図 11】



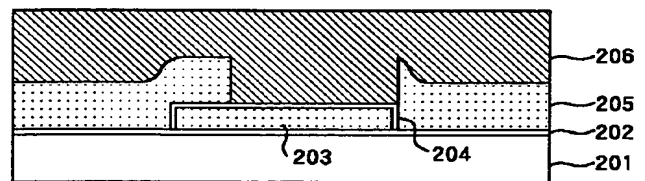
【図 14】



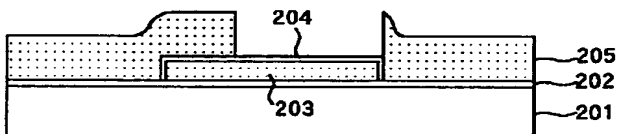
【図 13】



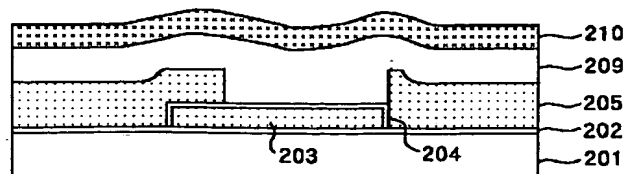
【図 16】



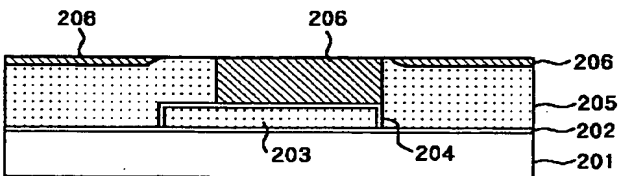
【図 15】



【図 18】



【図 17】



(19) Japanese Patent Office (JP)

(12) Patent Laid-Open (A)

(11) Publication Number: 10-112512 [JP10112512 A]

(43) Publication Date: April 28, 1998

(51) Int. Cl. ⁶	Domestic Classification Symbol	FI	
H01L 21/8247		H01L 29/78	371
29/788		21/90	W
29/792		27/10	434
21/768			
27/115			

Request for Examination (not filed)

Number of Claims: 2

Application Form: FD

Total Number of Pages: 6

(21) Application Number: 08-281665

(22) Filing Date: October 4, 1996

(71) Applicant: 000128049

Nippon Steel Semiconductor, Corp.
1580 Yamamoto, Tateyama City, Chiba

(72) Inventor: Masuyuki TAKI

c/o Nippon Steel Semiconductor, Corp.
1580 Yamamoto, Tateyama City, Chiba

(74) Agent: Patent Attorney Takaharu TAKITA

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57) [Abstract] (Amended)

[Problem to be Solved] To prevent decrease in withstand voltage due to concentration of local electric potential by which the thickness of an interlayer insulating film between a first polysilicon film and a metal film coated through an interlayer insulating film is locally thinned down when a local protrusion configuration is formed by an alignment gap made at the time of forming a pattern that includes the first polysilicon film, and the

interlayer insulating film is formed to coat thereover.

[Solution] It becomes possible to apply etch-back treatment to a resist film 6 by using developer after applying the resist film 6 to a silicon substrate 1 having a protrusion configuration that is made of a second polysilicon film 5 due to an alignment gap made during patterning of the second polysilicon film 5.

[Scope of Claim]

[Claim 1] A method for manufacturing a semiconductor device is characterized in comprising the steps of:

- forming a first gate oxide film over a silicon substrate of the semiconductor device, patterning a polysilicon film as a first electrode layer over the first gate oxide film and forming an insulating film by oxidizing the upper and side surface of the first polysilicon film;

- coating a polysilicon film as a second electrode layer over the entire surface of the silicon substrate so as to cover a pattern made of the first polysilicon film, patterning a second polysilicon film to form an opening over a pattern of the first polysilicon film;

- uniforming a surface of an upper most surface of a silicon substrate by applying a resist over an entire surface or forming a resist film in which a protrusion region of the second polysilicon film is formed having a resist with a thin film thickness;

- exposing selectively protrusion part of said second polysilicon film alone by carrying out entire exposure after applying said resist film followed by developing;

- relieving or removing said protrusion configuration of said second polysilicon film by etching or removing said exposed second polysilicon film; and

- carrying out heat treatment for flattening after coating said interlayer insulating film, and coating a wiring layer made of a metal film.

[Claim 2] A method for manufacturing a semiconductor device is characterized in comprising the steps of:

- controlling a film thickness of a resist to be left under a condition of both or either one of light exposure amount during entire exposure and developing time when a positive-type resist film is used as a resist film according to claim 1; and

controlling a film thickness of a resist to be left under a condition only of developing time in an unexposed state when a negative-type resist film is used as a resist film.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a method for manufacturing a semiconductor element, particularly to a method for improving resistance in an interlayer insulating film between a second layer polysilicon film in a semiconductor element having a bilayer polysilicon structure and a wiring layer disposed in upper layer by interposing an interlayer insulating film therebetween.

[0002]

[Prior Art] A method for manufacturing a semiconductor element having a bilayer polysilicon structure by using a first prior art is described with reference to FIGS. 10, 11 and 12.

[0003] In FIG. 10, after forming a first gate oxide film 102 on a silicon substrate 101 and forming a first polysilicon film 103, a pattern made of the first polysilicon film 103 is formed by known photolithography technique and dry etching technique. Then, an oxide film 104 is formed by oxidizing the first polysilicon film 103 with an object for isolating to insulate first polysilicon film 103 from the second polysilicon film formed thereover.

[0004] In FIG. 11, after coating a second polysilicon film 105, a pattern made of the second polysilicon film 105 is formed similarly by known photolithography technique and dry etching technique.

[0005] In FIG. 12, for example, a BPSG film is coated as an interlayer insulating film 109. The BPSG film has a property that fluidity is generated by carrying out high-temperature heat treatment, and an object of the BPSG film is to flatten the film by generating the fluidity. Then, a method for coating a metal wiring layer 110 including Al, Al-Si and the like is carried out.

[0006] However, in the above first prior art, a local projection configuration A is occurred to the second polysilicon film 105 due to an alignment gap made during

photolithography of the second polysilicon film 105 in FIG. 11. Therefore, a film thickness t_1 of the interlayer insulating film 109 between the second polysilicon film 105 and the metal wiring layer 110 in FIG. 12 gets thinner, thus it is problematic for the first prior art that resistance in the interlayer insulating film is deteriorated.

[0007] Therefore, in view of solving the above problem, a method for solving the problem by removing a protrusion of a second polysilicon film is suggested in Examined Patent Publication No. Hei 7-101690. The method is described below with reference to cross-sectional structure diagrams by every step in FIGS. 13 to 18.

[0008] In FIG. 13, after forming a first gate oxide film 202 on a silicon substrate 201 and forming a first polysilicon film 203 thereover, a pattern made of the first polysilicon film 203 is formed by known photolithography technique and dry etching technique. Then, an oxide film 204 is formed by oxidizing the first polysilicon film 203 with an object for isolating to insulate the first polysilicon film 203 from the second polysilicon film formed thereover.

[0009] In FIG. 14, a second polysilicon film 205 is coated.

[0010] In FIG. 15, a pattern made of the second polysilicon film 205 is formed by known photolithography technique and dry etching technique.

[0011] In FIG. 16, a cross-sectional structure in which an uppermost layer is flattened by applying a photoresist film 206.

[0012] In FIG. 17, a protrusion part made in the second polysilicon film is etched by etching back a photoresist film 203 and the second polysilicon film 205 at the same etching rate.

[0013] In FIG. 18, a BPSG film is coated as an interlayer insulating film 209, for example. The BPSG film has a property that fluidity is generated by carrying out high-temperature heat treatment, and is an object of the BPSG film is to flatten the film by generating the fluidity. Then, a method for coating a metal wiring layer 210 including Al, Al-Si and the like is carried out.

[0014]

[Problem to be Solved by the Invention] In a first prior art, a local protrusion configuration is formed by an alignment gap made during patterning that is made of a

first polysilicon film. When an interlayer insulating film is formed on a structure that has the protrusion configuration, a film thickness of an interlayer insulating film with respect to a metal film which is coated through the interlayer insulating film is locally thinned down at the protrusion part. Accordingly, concentration of local electric potential is occurred, which leads decrease in a withstand voltage, or a deterioration in product reliability is occurred by dielectric breakdown.

[0015] Therefore, in view of solving the problem in the first prior art above, a second prior art is suggested in Examined Patent Publication No. Hei 7-101690.

[0016] However, in the method, a resist film and a first polysilicon film need to be etched at the same rate, which constrains a process condition in an etch-back step. At the same time, contamination and the like of an etching chamber is accelerated due to carbon discharged from the resist film by etching the resist film.

[0017] Accordingly, frequent chamber cleaning is needed to keep device clean, which occurs decrease in operating rate of the device.

[0018] In addition, the contaminant becomes a particle adhering to a silicon substrate to be processed, which cause for a defect in a product to be processed.

[0019] Therefore, the present invention is made in view of the problem in the first and second prior art, which provides means for solving the problems above.

[0020]

[Means for Solving the Problem] One feature in the method for manufacturing a semiconductor device according to the invention is characterized in comprising the steps of:

- forming a first gate oxide film over a silicon substrate of the semiconductor device, patterning a polysilicon film as a first electrode layer over the first gate oxide film and forming an insulating film by oxidizing the upper and side surface of the first polysilicon film;

- coating a polysilicon film as a second electrode layer over the entire surface of the silicon substrate so as to cover a pattern made of the first polysilicon film, patterning a second polysilicon film to form an opening over a pattern of the first polysilicon film;

- uniforming a surface of an upper most surface of a silicon substrate by

applying a resist over an entire surface or forming a resist film in which a protrusion region of the second polysilicon film is formed having a resist with a thin film thickness;

controlling a film thickness of a resist to be left with a condition of both or either one of light exposure amount during entire exposure and developing time when a positive-type resist film is used as a resist film and controlling a film thickness of a resist to be left with a condition only of developing time in an unexposed state when a negative-type resist film is used as a resist film so that a projection part of the second polysilicon film is selectively exposed; and

etching and removing the exposed second polysilicon film so as to relieve the protrusion configuration of the second polysilicon film or remove thereof.

The method thereof is a method for manufacturing a semiconductor device enabling improvement in resistance of insulation by relieving concentration of local electrical potential by preventing locally thinning of an interlayer insulating film in a protrusion region of the second polysilicon film obtained through the above steps.

[0021]

[Operation] According to the present invention, it becomes possible to apply etch-back treatment to a resist film by using developer after applying the resist film to a silicon substrate having a protrusion configuration that is made of a second polysilicon film due to an alignment gap made during patterning of the second polysilicon film. Accordingly, generation of a particle and the like can be prevented.

[0022] In addition, it becomes possible to expose selectively the protrusion alone and to conduct dry etching under the condition in which the part other than the protrusion region is coated to protect with the resist film. Accordingly, unlike the prior art, it becomes unnecessary to etch the resist film and the polysilicon film at the same rate. Moreover, any one of anisotropic dry etching, isotropic dry etching and chemical etching may be used for etching the second polysilicon film, which enables to improve in degree of freedom of step.

[0023]

[Embodiment Mode of the Invention] An embodiment mode of the present invention is

shown in cross-sectional structure diagrams in FIGS. 1 to 6, and two examples of application of a resist film according the present embodiment mode are shown in FIGS. 7 and 8. Figures show a cross-sectional structure on a second example of etching a second polysilicon film, and each step is explained below.

[0024] In FIG. 1, a first gate oxide film 2 having a thickness of 150 Å is formed on a silicon substrate 1 by dry oxidization, hydrochloric acid oxidization, pyrogenic oxidization and the like. A polycrystalline polysilicon film having a thickness of 2000Å is then formed as a first polysilicon film 3.

[0025] Thereafter, a pattern made of the first polysilicon film 3 is formed by using a photolithography technique and a dry etching technique.

[0026] Aiming to separate and insulate the first polysilicon film 3 from a second polysilicon film formed thereover, the first polysilicon film 3 is oxidized with a film thickness of about 200 Å by using any one of dry oxidization, hydrochloric acid oxidization, pyrogenic oxidization and the like, thereby an oxide film 4 is formed.

[0027] In the similar way to the first polysilicon film, a poly crystalline polysilicon film as thick as 3000 Å is formed as a second polysilicon film 5. A pattern made of the second polysilicon film 5 is formed by dry etching using a photolithography technique and a dry etching technique, in which the resist film is used as an etching mask.

[0028] In FIG. 3, a positive type photoresist film 6 is applied in a thickness of 1.2 micron by using a spin coat method, thereby a structure in which an uppermost surface of the applied resist film is flattened is formed.

[0029] In FIG. 4, developing process is applied by using alkali aqueous solution having a TMAH (tetraammonium hydroxide) concentration of 2.38 % after exposure. Accordingly, the applied resist film is evenly thinned down so as to expose a protrusion region of the second polysilicon film alone.

[0030] In FIG. 5, the exposed protrusion region is etched selectively by dry etching having anisotropy. The protrusion region is relieved by applying etching to the same level as an uppermost film of the resist film, or higher.

[0031] In FIG. 6, a BPSG film that has a property that fluidity is generated by carrying out high-temperature heat treatment is formed as an interlayer insulating film 9 by using

low-pressure chemical vapor deposition, and in the present embodiment mode, by setting a film formation temperature at 450°C and by using a gas including SiH₄/ PH₃/ B₃H₆. The BPSG film is formed to have a B (boron) concentration of 2.6 %, P (phosphorous) concentration of 6.0 % and a thickness of 7000 Å.

[0032] Then, aiming to flatten the BPSG film, 30-minute heat treatment is conducted in O₂ atmosphere at a preset temperature of 800°C. Then, after applying reflow treatment by heat treatment using pyrogenic oxidization that is carried out by raising a preset temperature up to 900°C, burning hydrogen using H₂ + O₂, and generating water, a metal wiring layer 10 including Al, Al-Si and the like is formed to have a thickness of 1.0 μm by sputtering.

[0033] Like this manner, according to the present invention, by etching and removing selectively the protrusion part of the second polysilicon film alone which is occurred by an alignment gap made during photolithography at the time of forming the pattern of the second polysilicon film, it becomes possible to prevent the interlayer insulating film between the second polysilicon film and a metal wiring layer from being thinned down.

[0034] In addition, the present invention does not have a step such as etch-back with dry etching. Accordingly, it becomes possible to prevent contamination, increase in particle and the like, and to form an interlayer insulating film having high reliability without deteriorating resistance in the interlayer insulating film.

[0035] In the step of FIG. 3 of the present embodiment mode, as shown in FIG. 7, a cross-sectional structure in which the uppermost surface of the applied resist is flattened by applying a positive-type photoresist film 6 in 1.2 micron thick. However, the positive-type photoresist film 6 having a thickness of 1.2 micron or less is applied as shown in FIG. 8, and the positive-type photoresist film 6 having a thickness of 5000 Å is applied as a second embodiment mode. Therefore, it is possible to gain the same effect without flattening the uppermost layer of the resist film every time.

[0036] Moreover, it is possible to gain the same effect when a negative-type resist film is used as the resist film 6, instead of the positive-type resist film.

[0037] Next, in FIG. 4, a film is thinned down by developer when a desired resist film 6 is formed. As control of the amount of decrease in film thickness, in the case of

controlling by developing time, resist film is exposed in exposure amount equal to or more than 100% to be completely exposed to light. In the case of controlling by exposure amount, after fixing developing time, the resist film is controlled by exposing incompletely by half exposure and the like.

[0038] It is not to be stated that the same control as above is possible when the decrease in film thickness is controlled by both developing time and exposure amount.

[0039] In addition, when a negative-type resist film is used as the resist film instead of a positive-type resist film, the decrease in film thickness is controlled by adjusting developing time in which xylene is used without carrying out exposure treatment.

[0040] Next, in FIG. 5, dry etching having anisotropy is used for protrusion configuration of the second polysilicon film that is selectively exposed.

[0041] However, as shown in FIG. 9, chemical dry etching having isotropy, and using $\text{CF}_4 + \text{O}_2$ and the like, or chemical etching by using chemical may be used. At this time, from isotropic property, isotropic etching is applied to an interface of a part coated with a resist film. Therefore, it is not necessary to flatten an uppermost surface of the resist.

[0042] After applying any one of above resist films, a resist film is thinned down by development and a second polysilicon film is removed by etching. Accordingly, protrusion region is relieved, which enables to provide resistance in the interlayer insulating film.

[0043]

[Effect of the Invention] As described above, according to the present invention, it becomes possible to selectively expose a protrusion region that occurs in a second polysilicon film and to coat and protect a region other than the protrusion region with a resist film. By applying etching to the structure above, it becomes possible to relieve the protrusion configuration. Otherwise, by removing the protrusion configuration, it becomes possible to relieve local potential concentration when a voltage is applied to a second polysilicon film. Thereby, highly reliable constitution can be formed by improving resistance of an interlayer insulating.

[Brief Description of the Drawings]

[FIG. 1] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 2] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 3] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 4] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 5] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 6] A cross-sectional structure diagram illustrating the embodiment mode of the present invention

[FIG. 7] A cross-sectional structure diagram illustrating a first example of applying a resist film according to the present invention

[FIG. 8] A cross-sectional structure diagram illustrating a second example of applying a resist film according to the present invention

[FIG. 9] A cross-sectional structure diagram illustrating a second example of etching according to the present invention (corresponds to a first example in FIG. 5)

[FIG. 10] A cross-sectional structure diagram illustrating a first prior art

[FIG. 11] A cross-sectional structure diagram illustrating a first prior art

[FIG. 12] A cross-sectional structure diagram illustrating a first prior art

[FIG. 13] A cross-sectional structure diagram illustrating a second prior art (Examined Patent Publication No. Hei 7-101690)

[FIG. 14] A cross-sectional structure diagram illustrating a second prior art (Examined Patent Publication No. Hei 7-101690)

[FIG. 15] A cross-sectional structure diagram illustrating a second prior art (Examined Patent Publication No. Hei 7-101690)

[FIG. 16] A cross-sectional structure diagram illustrating a second prior art (Examined Patent Publication No. Hei 7-101690)

[FIG. 17] A cross-sectional structure diagram illustrating a second prior art (Examined

Patent Publication No. Hei 7-101690)

[FIG. 18] A cross-sectional structure diagram illustrating a second prior art (Examined Patent Publication No. Hei 7-101690)

[Denotation of Reference Numerals]

1 A silicon substrate

2 A gate insulating film

3 A first polysilicon film

4 An oxide film

5 A second polysilicon film

6 A resist

7 Ion implantation

8 An oxide film formed by oxidizing a second polysilicon film

9 An interlayer insulating film

10 A wiring metal film

101 A silicon substrate

102 A gate oxide film

103 A first poly silicon film

104 An oxide film

105 A second polysilicon film

109 An interlayer insulating film

110 A wiring metal film

t1 A thickness of a thin part of an interlayer insulating film

201 A silicon substrate

202 A gate oxide film

203 A first polysilicon film

204 An oxide film

205 A second polysilicon film

206 A resist

209 An interlayer insulating film

210 A metal wiring film